

02191639 **Image available**

MANUFACTURE OF SOI-STRUCTURE SEMICONDUCTOR DEVICE

PUB. NO.: 62 -108539 [JP 62108539 A]
PUBLISHED: May 19, 1987 (19870519)
INVENTOR(s): KANEKO SHINICHIRO
OTOI FUMIO
APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or Corporation), JP (Japan)
60-247944 [JP 85247944]
APPL. NO.:
FILED: November 07, 1985 (19851107)
INTL CLASS: [4] H01L-021/76; H01L-021/84; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JOURNAL: Section: E, Section No. 549, Vol. 11, No. 314, Pg. 106,
October 13, 1987 (19871013)

ABSTRACT

PURPOSE: To inhibit the generation of dislocation-defects to an silicon island by forming the single crystal N-type silicon island onto the surface of a P-type silicon substrate, changing low-concentration and high-concentration P-type layers into porous silicon layers through anodizing treatment and converting the layers into porous silicon oxide film layers.

CONSTITUTION: A high-concentration P-type layer 12 and a P-type layer 13 in concentration lower than the layer 12 are shaped on the surface side of a P-type silicon substrate 11. An N-type epitaxial layer and a desired single crystal N-type silicon island 14 are formed onto the surface of the substrate 11, and the layers 13 and 12 are turned into porous silicon layers 15, 16 through anodizing treatment. The density of the layer 16 is made comparatively large and the density of the layer 15 small. The layers 15, 16 are changed into porous silicon oxide film layers 17, 18 through thermal oxidation treatment, and the N-type silicon island 14 insulated and isolated by the layers 17, 18 is obtained. Accordingly, the porous silicon layers just under the island 14 have small density, thus inhibiting dislocations and defects generated in the island 14.

007178452

WPI Acc No: 1987-175461/ 198725

Stable functional SOI structured semiconductor prodn. - involves
N-channel silicon islands on P-type dense(less) impurity layers,
anodising dopant films and transforming NoAbstract Dwg 0/2

Patent Assignee: OKI ELECTRIC IND CO LTD (OKID)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 62108539	A	19870519	JP 85247944	A	19851107	198725 B

Priority Applications (No Type Date): JP 85247944 A 19851107

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 62108539	A		9		

⑫ 公開特許公報(A) 昭62-108539

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)5月19日

H 01 L 21/76

P-7131-5F

21/84

27/12

7514-5F 審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 SOI構造半導体装置の製造方法

⑯ 特 願 昭60-247944

⑰ 出 願 昭60(1985)11月7日

⑱ 発 明 者 金子 信 一郎 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 発 明 者 音 居 文 雄 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑳ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

㉑ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

SOI構造半導体装置の製造方法

2. 特許請求の範囲

(a) P型シリコン基板の表面側に、所定深さに高濃度P型層、これより上の表面部に、前記高濃度P型層よりは低濃度のP型層を形成する工程と、

(b) そのP型シリコン基板の表面上に単結晶N型シリコン島を形成する工程と、

(c) その後、前記低濃度・高濃度P型層を熱酸化処理により多孔質シリコン層とする工程と、

(d) その後、前記多孔質シリコン層を多孔質シリコン酸化膜層に変換する工程とを具備してなるSOI構造半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置、特にSOI(Silicon On Insulator)構造半導体装置の製造方法に関するものである。

(従来の技術)

第2図は、IEDM 84 P800~803に記載されるような従来のSOI構造半導体装置の製造方法を示す工程断面図である。この従来の方法では、まず、P型シリコン基板1の表面側に高濃度P型層(P⁺層)2をイオン・インプランテーションまたは拡散法により形成する(第2図(a))。しかる後、そのP型シリコン基板1上に、N型エピタキシャル層の形成と、周知のホトリソ・エッチング技術により、所望のN型シリコン島3を形成する(第2図(b))。その後、熱酸化処理により、高濃度P型層2を多孔質シリコン層4に変化させる(第2図(c))。その後、熱酸化処理を施すことにより、多孔質シリコン層4を多孔質シリコン酸化膜層5とし(第2図(d))、これにより多孔質シリコン酸化膜層5により絶縁分離されたN型シリコン島3を有する構造を得る。この時、N型シリコン島3の表面には薄く熱酸化膜6が形成される。なお、この熱絶縁分離は、多孔質シリコンの酸化速度と単結晶シリコンの酸化速度の差を利用した方法である。

(発明が解決しようとする問題点)

しかしながら、以上述べた従来方法では、高濃度P型層2より得られる多孔質シリコン層4の密度が比較的大きいため、この多孔質シリコン層4の酸化時に、シリコン島3に転位・欠陥が発生しやすく、リーク電流などの素子特性の劣化を招きやすいという問題点があった。

この発明は上記の点に鑑みなされたもので、その目的は、上述したシリコン島への転位・欠陥の発生を抑制し、結晶性の良好なシリコン島を得ることができるとするSIO₂構造半導体装置の製造方法を提供することにある。

(問題点を解決するための手段)

この発明では、P型シリコン基板の表面側に、所定厚さの低濃度P型層、これより上の表面部に、前記高濃度P型層よりは低濃度のP型層を形成し、そのようなP型シリコン基板上に単結晶N型シリコン島を形成した後、前記低濃度・高濃度P型層を熱酸化成膜処理により多孔質シリコン層とし、さらにこの多孔質シリコン層を多孔質シリコン酸化

膜層とする。

(作用)

このような方法によれば、熱酸化成膜処理されるP型層の表面側が低濃度層であるため、単結晶N型シリコン島直下の多孔質シリコン層密度は小さくなる。

(実施例)

以下この発明の一実施例を第1図を参照して説明する。

第1図(a)において、11はP型シリコン基板であり、まず、このシリコン基板11の表面側所定厚さに高濃度P型層(P⁺層)12を公知の拡散技術により形成する。すると、シリコン基板11の表面側は、所定厚さに前記高濃度P型層12(比抵抗0.008Ω・cm程度)が形成され、それより上の表面部には、基板領域によつて、前記高濃度P型層12よりは低濃度のP型層13(比抵抗10〜12Ω・cm)が形成されることとなる。

次に、そのP型シリコン基板11の表面上に、N型エピタキシャル層の形成と、周知のホトリソ

エツタング技術により、所望の単結晶N型シリコン島14を形成する(第1図(b))。

その後、熱酸化成膜処理により、低濃度P型層13と高濃度P型層12を多孔質シリコン層15、16とする(第1図(c))。この時、生成される多孔質シリコン層15、16の密度は、変換前のP型層の濃度に依存する。深い部分の多孔質シリコン層16は、高濃度P型層12より得られるため、密度は比較的大きくなる。一方、N型シリコン島14直下の表面側の多孔質シリコン層15は、低濃度P型層13より得られるため、密度は小さくなる。

その後、熱酸化処理を施して、多孔質シリコン層15、16を多孔質シリコン酸化膜層17、18とすることにより(第1図(d))、該多孔質シリコン酸化膜層17、18で絶縁分離されたN型シリコン島14を有する構造を得る。この時、N型シリコン島14直下の多孔質シリコン層(多孔質シリコン層15)は密度が小さいため、N型シリコン島14に発生する転位や欠陥は抑制される。また、この熱酸化処理により、N型シリコン島14

の表面には、熱酸化膜19が薄く形成される。なお、この絶縁分離法は、多孔質シリコンの酸化速度と単結晶シリコンの酸化速度の差を利用した方法である。

(発明の効果)

以上詳述したように、この発明の方法では、熱酸化成膜処理されるP型層を、表面側から低濃度層、高濃度層の2層とし、該P型層を熱酸化成膜処理した時、多孔質シリコン層の表面側の密度が小さくなるようにしたから、該多孔質シリコン層を多孔質シリコン酸化膜層に変換する工程において、単結晶N型シリコン島に発生する転位や欠陥を抑制することができ、リーク電流の少ない優れた素子を形成することができる。また、この発明の方法では、低濃度P型層の下に高濃度P型層が存在しており、該高濃度P型層では熱酸化成膜が速く進むので、高濃度P型層下のP型シリコン基板は殆ど酸化されない状態、すなわち、多孔質シリコン層を深く形成することなしに、幅の広いシリコン島領域を得ることができる。

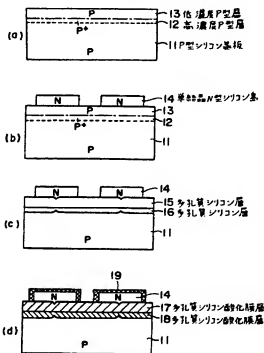
4. 図面の簡単な説明
(図面)

第1図はこの発明のSOI構造半導体装置の製造方法の一実施例を示す工程断面図、第2図は従来の方法を示す工程断面図である。

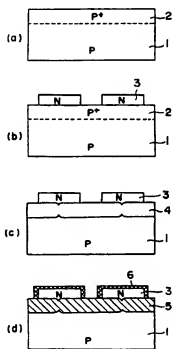
11…P型シリコン基板、12…高濃度P型層、13…低濃度P型層、14…単結晶N型シリコン島、15、16…多孔質シリコン層、17、18…多孔質シリコン酸化膜層。

特許出願人 片電気工業株式会社

代理人 弁理士 菊池 弘



本発明一実施例の断面図
第1図



従来の断面図
第2図